

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

2 / 7

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-298283

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

H01L 27/108

H01L 21/8242

(21)Application number : 08-112401

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.05.1996

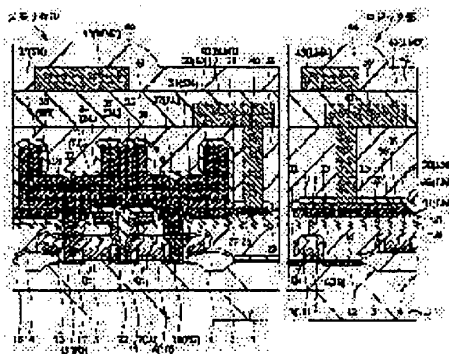
(72)Inventor : AOKI HIDEO
TADAKI YOSHITAKA
SEKIGUCHI TOSHIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique which can improve a processing accuracy in steps of manufacturing a DRAM having various elements.

SOLUTION: Polycrystalline silicon films 33, 31 and 30 forming part of a storage electrode SN of a capacitive element for information storage as a memory cell of a DRAM are disposed in logic parts. Thereby, a limitation of a level difference between the memory cell array and logic part of the DRAM can be softened, and the level difference after formation of the capacitive element of the memory cell for information storage can be set to be within a focus depth range allowable by a lithographic technique.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298283 ✓

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl.⁸

H 0 1 L 27/108

21/8242

識別記号

庁内整理番号

F I

H 0 1 L 27/10

技術表示箇所

6 8 1 F

6 8 1 C

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21) 出願番号

特願平8-112401

(22) 出願日

平成8年(1996)5月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 青木 英雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 只木 芳隆

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 関口 敏宏

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

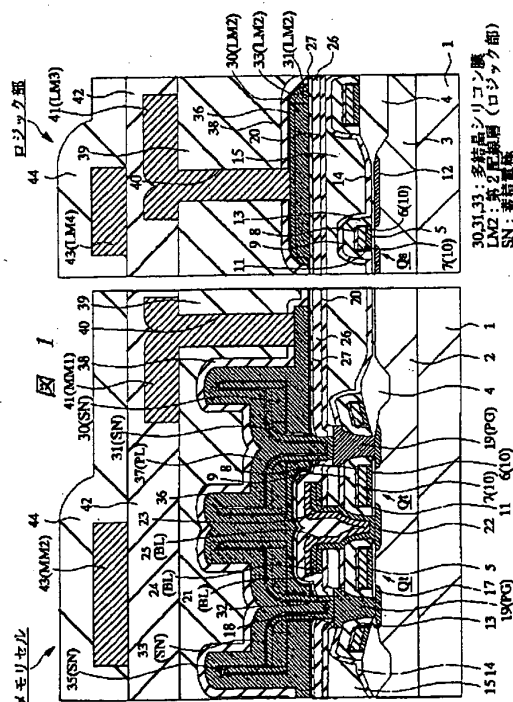
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 ロジック混載DRAMの製造工程における加工精度を向上することのできる技術を提供する。

【解決手段】 DRAM部のメモリセルを構成する情報蓄積用容量素子の蓄積電極SNの一部を構成する多結晶シリコン膜33、31、30を第2配線層LM2としてロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させて、メモリセルの情報蓄積用容量素子を形成した後の前記標高差をリソグラフィ技術の焦点深度から許容される範囲内とする。



1

【特許請求の範囲】

【請求項1】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

【請求項2】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

【請求項3】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜および前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

【請求項4】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の誘電体膜を挟み積層構造をなす蓄積電極を構成する第1の導電膜とプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、前記第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方の配線層として用いることを特徴とする半導体集積回路装置。

【請求項5】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜および前記DRAM部のメモリセルのビット線を構成する第3の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

【請求項6】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜および前記DRAM部のメモリセルのビット線を構成する第3の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

2

【請求項7】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜、前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜、および前記DRAM部のメモリセルのビット線を構成する第3の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、配線層として用いることを特徴とする半導体集積回路装置。

【請求項8】 メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有する半導体集積回路装置において、前記DRAM部のメモリセルの情報蓄積用容量素子の誘電体膜を挟み積層構造をなす蓄積電極を構成する第1の導電膜とプレート電極を構成する第2の導電膜および前記DRAM部のメモリセルのビット線を構成する第3の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、前記第2の導電膜および前記第3の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方の配線層として用いることを特徴とする半導体集積回路装置。

【請求項9】 請求項5～8のいずれか1項に記載の半導体集積回路装置であって、前記第3の導電膜は、タングステンシリサイド膜および多結晶シリコン膜からなる積層膜またはタングステン膜、窒化チタン膜およびチタン膜からなる積層膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、DRAM (Dynamic Random Access Memory) とロジック (Logic: 論理回路) が混在する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、家庭用ゲーム機においては、コンピュータ・グラフィックスを使った自然画並みの画像への要求が高まっている。しかし、自然画を実現するためには、主記憶装置として用いられているDRAMのデータ転送速度を現在の135Mバイト/秒から約1000倍の100Gバイト/秒以上とする必要があり、DRAM単体ではその実現は難しい。

【0003】そこで、ゲーム機の性能向上を図る一つの方法として、一つの半導体チップ内にDRAMとロジックを混在させて一つのシステムを形成し、バス信号の伝搬時間の短縮および伝搬遅延の回避などによって、データ転送速度を高速化する方法が提案されている。

【0004】なお、DRAMとロジックが混在する半導体集積回路装置 (以下、ロジック混載DRAMと称す)

については、例えば、1995年7月1日、日経マグロウヒル社発行「日経マイクロデバイス」、P80~P85に記載されている。

【0005】

【発明が解決しようとする課題】本発明者は、前記ロジック混載DRAMを開発するにあたり、以下の問題点を見出した。

【0006】大容量DRAMは、メモリの微細化に伴う情報蓄積容量素子（キャパシタ）の蓄積電荷量（ Q_s ）の減少を補うために、情報蓄積容量素子をメモリセル選択用MISFET（Metal Insulator Semiconductor Field Effect Transistor）の上方に配置するスタック構造を採用している。

【0007】前記スタック構造のメモリセルのなかでも、情報蓄積容量素子をビット線の上に配置するキャパシタ・オーバー・ビットライン（Capacitor Over Bitline；COB）構造のメモリセルは、蓄積電極と、ビット線をメモリセル選択用MISFETに接続する接続孔との合わせ余裕が不要であることから、情報蓄積容量素子を形成する際に蓄積電極の平面寸法を大きくすることができ、ビット線が情報蓄積容量素子によりシールドされるので高い信号対雑音（ S/N ）比を得ることができる、などの特徴を備えている。

【0008】前記COB構造のメモリセルとしては、例えば、半導体基板の主面上に第1導電膜（多結晶シリコン膜またはポリサイド膜）でメモリセル選択用MISFETのゲート電極および第1ワード線を形成し、この第1導電膜の上層に堆積した第2導電膜（多結晶シリコン膜）で情報蓄積容量素子のプラグを形成し、この第2導電膜の上層に堆積した第3導電膜（多結晶シリコン膜またはポリサイド膜）でビット線を形成し、この第3導電膜の上層に堆積した第4導電膜（多結晶シリコン膜）で情報蓄積容量素子の蓄積電極を形成し、この第4導電膜の上層に堆積した第5導電膜（多結晶シリコン膜）で情報蓄積容量素子のプレート電極を形成し、この第5導電膜の上層に堆積した第6導電膜（アルミニウム合金膜またはタングステン膜）でプレート電極の引き出し電極の第1配線層を形成し、この第6導電膜の上層に堆積した第7導電膜（アルミニウム合金膜またはタングステン膜）で第2ワード線や共通ソース線などの第2配線層を形成する構成が考えられる。

【0009】ところで、ロジック混載DRAMにおけるDRAM部は、多数のメモリセルをマトリクス状に配置したメモリアレイとその周囲に配置される周辺回路とで構成される。従って、前記COB構造のメモリセルを形成した際の周辺回路としては、半導体基板の主面上に前記第1導電膜でMISFETのゲート電極を形成し、前記第6導電膜で第1配線層を形成し、前記第7導電膜で第2配線層を形成する構成が考えられる。さらに、ロジック部においても、DRAM部の周辺回路と同様に、半

導体基板の主面上に前記第1導電膜でMISFETのゲート電極を形成し、前記第6導電膜で第1配線層を形成し、前記第7導電膜で第2配線層を形成する構成が考えられる。

【0010】すなわち、前記COB構造のメモリセルでは、ビット線の上に情報蓄積容量素子が形成されるので、DRAM部のメモリアレイの標高（半導体基板の表面からの高さ）がDRAM部の周辺回路およびロジック部と比べて高くなる。

10 【0011】このため、前記第1配線層、前記第2配線層またはこれら配線層間の層間絶縁膜に開孔されるスルーホールを標高差のあるメモリアレイと周辺回路、またはロジック部に形成するためのリソグラフィ技術においては、フォトレジストの寸法精度の低下を防ぐための十分な焦点深度を見込む必要性が生じる。しかし、許容されるフォトレジストの寸法精度を得るためには、単純にリソグラフィ技術のトレンドから外挿すると、例えば、256kbit DRAMでは $\pm 0.25\mu\text{m}$ 以下の焦点深度が必要となり、實際上、解像限界となる。

20 【0012】さらに、ロジックでは、ランダムな論理回路を接続する必要があるため、 $0.6\mu\text{m}$ 世代のロジックにおいてはすでに4層構造の多層配線が採用されている。また、配線層数が多くなればなるほどトランジスタ密度を高めることができ、ロジックの性能が向上するため、総数を増した配線層の多層化技術への要求はますます高まっている。

30 【0013】しかし、このようなロジックにおける配線層の多層化技術は、DRAMでは必要としない技術であり、ロジック混載DRAMでは配線工程での工程数増大によるスループットの低下が生じる。

【0014】本発明の目的は、情報蓄積容量素子をメモリセル選択用MISFETの上方に配置するスタック構造のメモリセルを有するロジック混載DRAMの製造工程において、加工精度を向上することのできる技術を提供することにある。

【0015】本発明の他の目的は、製造工程数を減少させることにより、前記ロジック混載DRAMのスループットを向上することのできる技術を提供することにある。

40 【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

（1）本発明の半導体集積回路装置は、メモリアレイおよび周辺回路からなるDRAM部ならびにロジック部を有しており、前記DRAM部のメモリセルの情報蓄積容量素子の蓄積電極を構成する第1の導電膜を、前

記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置して配線層として用いるものである。

【0018】(2) また、本発明の半導体集積回路装置は、メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有しており、前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置して配線層として用いるものである。

【0019】(3) また、本発明の半導体集積回路装置は、メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有しており、前記DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜および前記DRAM部のメモリセルの情報蓄積用容量素子のプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置して配線層として用いるものである。

【0020】(4) また、本発明の半導体集積回路装置は、メモリセルアレイおよび周辺回路からなるDRAM部ならびにロジック部を有しており、前記DRAM部のメモリセルの情報蓄積用容量素子の誘電体膜を挟み積層構造をなす蓄積電極を構成する第1の導電膜とプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置し、前記第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方の配線層として用いるものである。

【0021】前記した手段によれば、DRAM部のメモリセルの情報蓄積用容量素子の蓄積電極を構成する第1の導電膜、プレート電極を構成する第2の導電膜、または蓄積電極を構成する第1の導電膜およびプレート電極を構成する第2の導電膜を、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方に配置することによって、情報蓄積用容量素子を形成した後のDRAM部のメモリセルアレイとロジック部との標高差またはDRAM部のメモリセルアレイとDRAM部の周辺回路との標高差を小さくすることができ、この標高差をリソグラフィ技術の焦点深度から許容される範囲内とすることが可能となる。さらに、前記DRAM部の周辺回路または前記ロジック部の少なくとも一方で用いられる配線層をDRAM部のメモリセルの情報蓄積用容量素子を製造する工程で形成することができる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0023】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】なお、ロジック混載DRAMにおけるロジ

ック部はCMOS (Complementary Metal Oxide Semiconductor) 構造とし、ロジック部とDRAM部の周辺回路の半導体基板はほぼ同じ断面構造を有しているため、本実施の形態ではロジック部について説明を行い、DRAM部の周辺回路についての説明は省略する。

【0025】(実施の形態1) 図1の左側は、本発明の一実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図1の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0026】DRAM部のメモリセルでは、半導体基板1の主面上に堆積した第1導電膜(タングステンシリサイド(WSi₂)膜7および多結晶シリコン膜6)でメモリセル選択用MISFETQ_tのゲート電極10を構成し、この第1導電膜の上層に堆積した第2導電膜(多結晶シリコン膜19)で情報蓄積用容量素子のプラグPGを構成し、この第2導電膜の上層に堆積した第3導電膜(WSi₂膜25および多結晶シリコン膜24、21)でビット線BLを構成し、この第3導電膜の上層に堆積した第4導電膜(多結晶シリコン膜35、33、31、30)で情報蓄積用容量素子の蓄積電極SNを構成し、この第4導電膜の上層に堆積した第5導電膜(多結晶シリコン膜37)で情報蓄積用容量素子のプレート電極PLを構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第1配線層MM1を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第2配線層MM2を構成している。

【0027】一方、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi₂膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリセルのビット線BLを構成する第3導電膜(WSi₂膜25および多結晶シリコン膜24、21)で第1配線層(図示せず)を構成し、この第3導電膜の上層に堆積したメモリセルの情報蓄積用容量素子の蓄積電極SNの一部を構成する第4'導電膜(多結晶シリコン膜33、31、30)で第2配線層LM2を構成し、この第4'導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0028】次に、前記図1に示したDRAM部のメモリセルおよびロジック部のpチャネル型MISFETQsの製造方法を図2～図12を用いて説明する。

【0029】まず、図2に示すように、p⁺型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、n型ウエル3、フィールド絶縁膜4およびゲート絶縁膜5を順次形成する。

【0030】次に、図3に示すように、半導体基板1上

にリン(P)が導入された多結晶シリコン膜6、WSi₂膜7、酸化シリコン膜8および窒化シリコン膜9を順次堆積する。その後、フォトリソをマスクにして窒化シリコン膜9、酸化シリコン膜8、WSi₂膜7および多結晶シリコン膜6からなる積層膜を順次エッチングすることにより、WSi₂膜7および多結晶シリコン膜6からなるDRAM部のメモリセル選択用MISFET Q_tのゲート電極10(第1導電膜)およびロジック部のpチャネル型MISFET Q_sとnチャネル型MISFET(図示せず)のゲート電極10(第1導電膜)を形成する。

【0031】次に、半導体基板1に熱酸化処理を施すことによって、ゲート電極10を構成するWSi₂膜7および多結晶シリコン膜6の側壁に薄い酸化シリコン膜11を形成する。

【0032】次に、フォトリソならびに窒化シリコン膜9、酸化シリコン膜8、WSi₂膜7および多結晶シリコン膜6からなる積層膜をマスクにして、ロジック部のn型ウエル3にp型不純物、例えばフッ化ボロン(BF₂)をイオン注入し、pチャネル型MISFET Q_sのp型半導体領域(ソース領域、ドレイン領域)12を、ゲート電極10に対して自己整合で形成する。

【0033】なお、図には示さないが、前記pチャネル型MISFET Q_sのp型半導体領域12と同様に、ロジック部のp型ウエルにもn型不純物、例えばPをイオン注入し、nチャネル型MISFETのn型半導体領域(ソース領域、ドレイン領域)を、ゲート電極に対して自己整合で形成する。

【0034】その後、半導体基板1上に堆積された窒化シリコン膜をRIE(Reactive Ion Etching)法などの異方性エッチングで加工することによって、前記積層膜の側壁にサイドウォールスペーサ13を形成する。なお、このサイドウォールスペーサ13を形成した後、ロジック部のn型ウエル3に前記p型不純物よりも高濃度のp型不純物、例えばBF₂をイオン注入することにより、pチャネル型MISFET Q_sのソース領域、ドレイン領域をLDD(Lightly Doped Drain)構造としてもよい。

【0035】また、図には示さないが、前記pチャネル型MISFET Q_sと同様に、ロジック部のp型ウエルに前記n型不純物よりも高濃度のn型不純物、例えば砒素(As)をイオン注入することにより、nチャネル型MISFETのソース領域、ドレイン領域をLDD構造としてもよい。

【0036】次に、図4に示すように、半導体基板1上に酸化シリコン膜14およびBPSG(Boron Phosphorous Silicate Glass)膜15をCVD法によって堆積した後、900~950℃のリフロー処理により前記BPSG膜15の表面を平坦化し、次いで、半導体基板1上にPが導入された多結晶シリコン膜16をCVD法によ

って堆積する。

【0037】その後、フォトリソをマスクにして多結晶シリコン膜16、BPSG膜15、酸化シリコン膜14およびゲート絶縁膜5と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFET Q_tの一方の後に形成される第1のn型半導体領域17上に第1のコンタクトホール18を形成する。次いで、フォトリソをマスクにしてメモリセルにn型不純物、例えばPをイオン注入し、メモリセル選択用MISFET Q_tの一方の第1のn型半導体領域17を形成する。

【0038】次に、図5に示すように、半導体基板1上にPが導入された多結晶シリコン膜19をCVD法によって堆積した後、この多結晶シリコン膜19および前記多結晶シリコン膜16を順次エッチバックすることにより、前記第1のコンタクトホール18内に多結晶シリコン膜19からなるプラグPG(第2導電膜)を形成する。

【0039】次に、半導体基板1上に酸化シリコン膜20およびPが導入された多結晶シリコン膜21をCVD法によって堆積する。次いで、フォトリソをマスクにして多結晶シリコン膜21、酸化シリコン膜20、BPSG膜15、酸化シリコン膜14およびゲート絶縁膜5と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFET Q_tの他方の後に形成される第2のn型半導体領域22上に第2のコンタクトホール23を形成する。

【0040】なお、前記第2のコンタクトホール23を形成する際に、図には示さないが、ロジック部のn型ウエル3上、nチャネル型MISFETのn型半導体領域上またはゲート電極10上にもコンタクトホールを形成してもよい。

【0041】次いで、図6に示すように、半導体基板1上にPが導入された多結晶シリコン膜24およびWSi₂膜25をCVD法によって順次堆積した後、フォトリソをマスクにしてWSi₂膜25、多結晶シリコン膜24および多結晶シリコン膜21を順次エッチングすることにより、WSi₂膜25、多結晶シリコン膜24、多結晶シリコン膜21からなるメモリセルのビット線BL(第3導電膜)を形成する。

【0042】また、多結晶シリコン膜24に導入されたPの拡散によってメモリセル選択用MISFET Q_tの他方の第2のn型半導体領域22は形成され、ビット線BLは第2のコンタクトホール23を通じて、このメモリセル選択用MISFET Q_tの第2のn型半導体領域22に接続される。

【0043】なお、この際、図には示さないが、WSi₂膜25、多結晶シリコン膜24および多結晶シリコン膜21からなるロジック部の第1配線層(第3導電膜)を形成し、この第1配線層をロジック部のn型ウエル

10

20

30

40

50

3、nチャネル型MISFETのn型半導体領域またはゲート電極10に接続してもよい。

【0044】次に、図7に示すように、半導体基板1上に酸化シリコン膜26、窒化シリコン膜27およびBP SG膜28をCVD法によって順次堆積した後、900～950℃のリフロー処理により前記BP SG膜28の表面を平坦化し、次いで、半導体基板1上に酸化シリコン膜29を堆積する。その後、フォトレジストをマスクにしてロジック部に堆積された酸化シリコン膜29およびBP SG膜28を順次エッチングした後、半導体基板1上にPが導入された多結晶シリコン膜30をCVD法によって堆積し、次いで、フォトレジストをマスクにしてこの多結晶シリコン膜30をエッチングする。

【0045】次に、図8に示すように、半導体基板1上にPが導入された多結晶シリコン膜31をCVD法によって堆積した後、この多結晶シリコン膜31をRIE法などの異方性エッチングで加工することによって、前記多結晶シリコン膜30の側壁にサイドウォールスペーサを形成する。次いで、フォトレジストをマスクにしてメモリセルの酸化シリコン膜29、BP SG膜28、窒化シリコン膜27、酸化シリコン膜26および酸化シリコン膜20を順次エッチングすることにより、第1のコンタクトホール18に設けられたブラブPG上に第3のコンタクトホール32を形成し、その後、半導体基板1上にPが導入された多結晶シリコン膜33およびBP SG膜34をCVD法によって順次堆積する。

【0046】なお、図には示さないが、前記第3のコンタクトホール32を形成する際に、ロジック部のn型ウエル3上、nチャネル型MISFETのn型半導体領域上、ゲート電極10上または第1配線層上にコンタクトホールを形成し、多結晶シリコン膜33をn型ウエル3、nチャネル型MISFETのn型半導体領域、ゲート電極10または第1配線層に接続してもよい。

【0047】次に、フォトレジストをマスクにしてメモリセルのBP SG膜34および多結晶シリコン膜33、30を順次エッチングした後、図9に示すように、半導体基板1上にPが導入された多結晶シリコン膜35をCVD法によって堆積し、次いで、この多結晶シリコン膜35をRIE法などの異方性エッチングで加工することによって、BP SG膜34および多結晶シリコン膜33、30の側壁に多結晶シリコン膜35を残す。

【0048】続いて、例えば、フッ酸溶液を用いたウェットエッチングによって、BP SG膜34、酸化シリコン膜29およびBP SG膜28を除去して、メモリセルに多結晶シリコン膜35、33、31、30からなる円筒型の蓄積電極SN（第4導電膜）を形成する。次いで、フォトレジストをマスクにしてロジック部の多結晶シリコン膜33をエッチングすることにより、多結晶シリコン膜33、31、30からなるロジック部の第2配線層LM2（第4'導電膜）を形成する。

【0049】次に、図10に示すように、半導体基板1上に窒化シリコン膜をCVD法によって堆積し、続いて、酸化処理を施すことにより、窒化シリコン膜の表面に酸化シリコン膜を形成して、酸化シリコン膜および窒化シリコン膜からなる誘電体膜36をメモリセルの蓄積電極SNの表面に形成する。その後、半導体基板1上に多結晶シリコン膜37をCVD法によって堆積し、次いで、フォトレジストをマスクにしてこの多結晶シリコン膜37をエッチングすることにより、メモリセルのプレート電極PL（第5導電膜）を形成する。

【0050】次に、図11に示すように、半導体基板1上に酸化シリコン膜38およびBP SG膜39をCVD法によって順次堆積した後、900～950℃のリフロー処理により前記BP SG膜39の表面を平坦化する。次いで、フォトレジストをマスクにしてメモリセルのBP SG膜39および酸化シリコン膜38を順次エッチングすることにより、メモリセルのプレート電極PL上に第4のコンタクトホール40を形成する。同時に、ロジック部のBP SG膜39、酸化シリコン膜38および誘電体膜36を順次エッチングすることにより、第2配線層LM2上に第4のコンタクトホール40を形成する。なお、BP SG膜39の表面の平坦化には、CMP（Chemical Mechanical Polishing；化学的機械研磨）法を併用してもよい。

【0051】次に、図12に示すように、半導体基板1上に、例えばチタン（Ti）膜、窒化チタン（TiN）膜、アルミニウム（Al）膜およびチタン（Ti）膜を順次堆積した積層構造の金属膜41を形成した後、この金属膜41をフォトレジストをマスクにしてエッチングすることにより、メモリセルの第1配線層MM1（第6導電膜）およびロジック部の第3配線層LM3（第6導電膜）を形成する。

【0052】なお、図には示さないが、メモリセルの前記第1配線層MM1はメモリセルのビット線BLに接続してもよく、また、ロジック部の前記第3配線層LM3はロジック部のp型ウエル、n型ウエル3、pチャネル型MISFETQsのp型半導体領域12、nチャネル型MISFETのn型半導体領域、ゲート電極10または第1配線層に接続してもよい。

【0053】積層構造の前記金属膜41の最下部に位置するTi膜と、このTi膜と接触する多結晶シリコン膜または半導体基板1を構成するシリコン単結晶とを反応させて、接触部分にチタンシリサイド（ $TiSi_x$ ； $x=1\sim 2$ ）膜を形成し、金属膜41の接触抵抗を下げてもよい。この場合、例えばTi膜を30nmおよびTiN膜を50nm順次堆積した後、ランプアニール処理を約650℃の温度で約1分間行うことによって、 $TiSi_x$ 膜は形成される。また、前記Al膜は、その堆積時に400～450℃の加熱を行いながら第4のコンタクトホール40内に埋め込んでもよい。

【0054】次に、半導体基板1上にTEOS (Tetra Ethyl Ortho Silicate; $\text{Si}(\text{OC}_2\text{H}_5)_4$)をソースとしたプラズマCVD法によって酸化シリコン膜を堆積し、続いて、半導体基板1上にSOG (Spin On Glass)膜を塗布する。その後、このSOG膜をRIE法によってエッチバックして平坦化処理を施し、次いで、再度TEOSをソースとしたプラズマCVD法によって酸化シリコン膜を堆積することにより、3層構造の層間絶縁膜42を設ける。その後、フォトリソistをマスクにして前記層間絶縁膜42をエッチングし、スルーホール(図示せず)を形成する。

【0055】次に、半導体基板1上に、例えば、Ti膜、TiN膜、Al膜およびTi膜を順次堆積した積層構造の金属膜43を形成した後、この金属膜43をフォトリソistをマスクにしてエッチングすることにより、メモリの第2配線層MM2(第7導電膜)およびロジック部の第4配線層LM4(第7導電膜)を形成する。

【0056】最後に、半導体基板1の表面をパッシベーション膜44で被覆することにより、図1に示した本実施の形態1のロジック混載DRAMのDRAM部のメモリセルおよびロジック部のpチャネル型MISFETQsが完成する。

【0057】このように、本実施の形態1によれば、メモリの情報蓄積用容量素子の蓄積電極SNの一部を構成する多結晶シリコン膜33, 31, 30をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、この多結晶シリコン膜33, 31, 30をロジック部の第2配線層LM2として用いることができる。

【0058】(実施の形態2)図13の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図13の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0059】DRAM部のメモリセルの構造は前記実施の形態1で示した前記図1のメモリセルの構造と同じであるが、ロジック部の構造は前記図1のロジック部の構造と異なり、メモリの情報蓄積用容量素子のプレート電極PLを構成する多結晶シリコン膜37でロジック部の第2配線層LM2を構成している。

【0060】すなわち、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi_2 膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリのビット線BLを構成する第3導電膜(WSi_2 膜25および多結晶シリコン膜24, 21)で第1配線層(図示せず)を構成し、この第3導電

膜の上層に堆積したメモリの情報蓄積用容量素子のプレート電極PLを構成する第5導電膜(多結晶シリコン膜37)で第2配線層LM2を構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0061】このように、本実施の形態2によれば、メモリの情報蓄積用容量素子のプレート電極PLを構成する多結晶シリコン膜37をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、この多結晶シリコン膜37をロジック部の第2配線層LM2として用いることができる。

【0062】(実施の形態3)図14の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図14の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0063】DRAM部のメモリセルの構造は前記実施の形態1で示した前記図1のメモリセルの構造と同じであるが、ロジック部の構造は前記図1のロジック部の構造と異なり、メモリの情報蓄積用容量素子のプレート電極PLを構成する多結晶シリコン膜37でロジック部の第2配線層LM2を構成し、さらに、この多結晶シリコン膜37の下層に、誘電体膜36を介して情報蓄積用容量素子の蓄積電極SNの一部を構成する多結晶シリコン膜33, 31, 30が配置されている。

【0064】すなわち、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi_2 膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリのビット線BLを構成する第3導電膜(WSi_2 膜25および多結晶シリコン膜24, 21)で第1配線層(図示せず)を構成し、この第3導電膜の上層に堆積したメモリの情報蓄積用容量素子の蓄積電極SNの一部を構成する第4'導電膜(多結晶シリコン膜33, 31, 30)を配置し、この第4'導電膜の上層に堆積したメモリの情報蓄積用容量素子のプレート電極PLを構成する第5導電膜(多結晶シリコン膜37)で第2配線層LM2を構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0065】このように、本実施の形態3によれば、メモリの情報蓄積用容量素子の蓄積電極SNの一部を構成する多結晶シリコン膜33, 31, 30およびプレ

10

20

30

40

50

ート電極PLを構成する多結晶シリコン膜37からなる積層膜をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、プレート電極PLを構成する多結晶シリコン膜37をロジック部の第2配線層LM2として用いることができる。

【0066】(実施の形態4) 図15の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図15の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0067】DRAM部のメモリセルでは、半導体基板1の主面上に堆積した第1導電膜(WSi₂膜7および多結晶シリコン膜6)でメモリセル選択用MISFETQ_tのゲート電極10を構成し、この第1導電膜の上層に堆積した第2導電膜(多結晶シリコン膜19)で情報蓄積用容量素子のプラグPGを構成し、この第2導電膜の上層に堆積した第3導電膜(タングステン(W)膜47、TiN膜46およびTi膜45)でビット線BLを構成し、この第3導電膜の上層に堆積した第4導電膜(W膜49)で情報蓄積用容量素子の蓄積電極SNを構成し、この第4導電膜の上層に堆積した第5導電膜(TiN膜50)で情報蓄積用容量素子のプレート電極PLを構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第1配線層MM1を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第2配線層MM2を構成している。

【0068】一方、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi₂膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリセルのビット線BLを構成する第3導電膜(W膜47、TiN膜46およびTi膜45)で第1配線層LM1を構成し、この第3導電膜の上層に堆積したメモリセルの情報蓄積用容量素子の蓄積電極SNを構成する第4導電膜(W膜49)で第2配線層LM2を構成し、この第4導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0069】次に、前記図15に示したDRAM部のメモリセルおよびロジック部のpチャネル型MISFETQsの製造方法を図16～図18を用いて説明する。

【0070】まず、前記実施の形態1において前記図2～図5を用いて説明した製造方法と同様に、DRAM部のメモリセルにゲート電極10(第1導電膜)およびプラグPG(第2導電膜)を形成し、ロジック部にゲート電極10(第1導電膜)を形成する。

【0071】次に、図16に示すように、半導体基板1上に酸化シリコン膜20をCVD法によって堆積した後に、フォトリソをマスクにして酸化シリコン膜20、BPSG膜15、酸化シリコン膜14およびゲート絶縁膜5と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETQ_tの他方の後に形成される第2のn型半導体領域22上およびロジック部のpチャネル型MISFETQsのp型半導体領域12上に第2のコンタクトホール23を形成する。

【0072】なお、前記第2のコンタクトホール23を形成する際に、図には示さないが、ロジック部のp型ウエル上、n型ウエル3上、nチャネル型MISFETのn型半導体領域上またはゲート電極10上にもコンタクトホールを形成してもよい。

【0073】次に、フォトリソをマスクにしてメモリセルに、例えばPをイオン注入し、メモリセル選択用MISFETQ_tの他方の第2のn型半導体領域22を形成した後、半導体基板1上にTi膜45、TiN膜46およびW膜47を順次堆積する。次いで、フォトリソをマスクにして前記W膜47、TiN膜46およびTi膜45を順次エッチングすることにより、W膜47、TiN膜46およびTi膜45からなるメモリセルのビット線BL(第3導電膜)、ならびにロジック部の第1配線層LM1(第3導電膜)を形成する。

【0074】この第1の配線層LM1は、図16に示したロジック部のpチャネルMISFETQsのp型半導体領域12の他に、図には示さないが、ロジック部のp型ウエル、n型ウエル3、nチャネル型MISFETのn型半導体領域およびゲート電極10に接続してもよい。

【0075】次に、図17に示すように、半導体基板1上に酸化シリコン膜48を、例えばプラズマCVD法またはECR(Electron Cyclotron Resonance)CVD法などの500℃以下の温度で堆積できる方法によって形成した後、フォトリソをマスクにしてメモリセルの酸化シリコン膜48および酸化シリコン膜20を順次エッチングすることにより、第1のコンタクトホール18に設けられたプラグPG上に第3のコンタクトホール32を形成する。

【0076】次いで、半導体基板1上にW膜49を堆積した後、フォトリソをマスクにしてW膜49をエッチングすることにより、メモリセルに情報蓄積用容量素子の蓄積電極SN(第4導電膜)を形成し、同時に、ロジック部の第2配線層LM2(第4導電膜)を形成する。

【0077】なお、図には示さないが、前記第3のコンタクトホール32を形成する際に、ロジック部のp型ウエル上、n型ウエル3上、pチャネル型MISFETのp型半導体領域12上、nチャネル型MISFETのn型半導体領域上、ゲート電極10上または第1配線層L

M1上にコンタクトホールを形成し、第2配線層LM2をロジック部のp型ウエル、n型ウエル3、pチャネル型MISFETのp型半導体領域12、nチャネル型MISFETのn型半導体領域、ゲート電極10または第1配線層LM1に接続してもよい。

【0078】次に、図18に示すように、半導体基板1上に酸化タンタル(Ta_2O_5)膜をCVD法によって堆積し、 Ta_2O_5 膜からなる誘電体膜36をメモリセルの蓄積電極SNの表面に形成する。その後、半導体基板1上にTiN膜50をCVD法によって堆積し、次いで、このTiN膜50をフォトリソをマスクにしてエッチングすることにより、メモリセルのプレート電極PL(第5導電膜)を形成する。

【0079】次に、半導体基板1上に酸化シリコン膜51を、例えばプラズマCVD法またはECRCVD法などの500℃以下の温度で堆積できる方法によって形成する。その後、フォトリソをマスクにしてメモリセルの酸化シリコン膜51をエッチングすることにより、メモリセルのプレート電極PL上に第4のコンタクトホール40を形成し、同時に、ロジック部の酸化シリコン膜51および誘電体膜36を順次エッチングすることにより、ロジック部のW膜49からなる第2配線層LM2上に第4のコンタクトホール40を形成する。

【0080】次に、前記実施の形態1に記載した製造方法と同様に、メモリセルの第1配線層MM1(第6導電膜)およびロジック部の第3配線層LM3(第6導電膜)を形成し、次いで、メモリセルの第2配線層MM2(第7導電膜)およびロジック部の第4配線層LM4(第7導電膜)を形成することにより、図15に示した本実施の形態4のロジック混載DRAMのDRAM部のメモリセルおよびロジック部が完成する。

【0081】このように、本実施の形態4によれば、メモリセルの情報蓄積容量素子の蓄積電極SNを構成するW膜49をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、このW膜49をロジック部の第2配線層LM2として用いることができる。さらに、メモリセルのビット線BLを構成するW膜47、TiN膜46およびTi膜45からなる積層膜をロジック部の配線層に用いることにより、導電型に関係なく、ウエル領域およびMISFETの半導体領域にこの配線層を接続することができるので、回路設計の自由度を増すことが可能となる。

【0082】(実施の形態5)図19の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図19の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0083】DRAM部のメモリセルの構造は前記実施

の形態4で示した前記図15のメモリセルの構造と同じであるが、ロジック部の構造は前記図15のロジック部の構造と異なり、メモリセルの情報蓄積容量素子のプレート電極PLを構成するTiN膜50でロジック部の第2配線層LM2を構成している。

【0084】すなわち、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi_2 膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリセルのビット線BLを構成する第3導電膜(W膜47、TiN膜46およびTi膜45)で第1配線層LM1を構成し、この第3導電膜の上層に堆積したメモリセルの情報蓄積容量素子のプレート電極PLを構成する第5導電膜(TiN膜50)で第2配線層LM2を構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0085】このように、本実施の形態5によれば、メモリセルの情報蓄積容量素子のプレート電極PLを構成するTiN膜50をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、このTiN膜50をロジック部の第2配線層LM2として用いることができる。さらに、メモリセルのビット線BLを構成するW膜47、TiN膜46およびTi膜45からなる積層膜をロジック部の配線層に用いることにより、導電型に関係なく、ウエル領域およびMISFETの半導体領域にこの配線層を接続することができるので、回路設計の自由度を増すことが可能となる。

【0086】(実施の形態6)図20の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図20の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0087】DRAM部のメモリセルの構造は前記実施の形態4で示した前記図15のメモリセルの構造と同じであるが、ロジック部の構造は前記図15のロジック部の構造と異なり、メモリセルの情報蓄積容量素子の蓄積電極SNを構成するW膜49でロジック部の第2配線層LM2を構成し、メモリセルの情報蓄積容量素子のプレート電極PLを構成するTiN膜50でロジック部の第3配線層LM3を構成している。

【0088】すなわち、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi_2 膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に

堆積したメモリセルのビット線BLを構成する第3導電膜(W膜47、TiN膜46およびTi膜45)で第1配線層LM1を構成し、この第3導電膜の上層に堆積したメモリセルの情報蓄積用容量素子の蓄積電極SNを構成する第4導電膜(W膜49)で第2配線層LM2を構成し、この第4導電膜の上層に堆積したメモリセルの情報蓄積用容量素子のプレート電極PLを構成する第5導電膜(TiN膜50)で第3配線層LM3を構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第4配線層LM4を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第5配線層LM5を構成している。

【0089】このように、本実施の形態6によれば、メモリセルの情報蓄積用容量素子の蓄積電極SNを構成するW膜49およびプレート電極PLを構成するTiN膜50をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、蓄積電極SNを構成するW膜49をロジック部の第2配線層LM2として、プレート電極PLを構成するTiN膜50をロジック部の第3配線層LM3として用いることができる。さらに、メモリセルのビット線BLを構成するW膜47、TiN膜46およびTi膜45からなる積層膜をロジック部の配線層に用いることにより、導電型に関係なく、ウエル領域およびMISFETの半導体領域にこの配線層を接続することができるので、回路設計の自由度を増すことが可能となる。

【0090】(実施の形態7)図21の左側は、本発明の他の実施の形態であるロジック混載DRAMにおけるDRAM部のメモリセルを示す半導体基板の要部断面図、図21の右側は、同じくロジック部のpチャネル型MISFETQsを示す半導体基板の要部断面図である。

【0091】DRAM部のメモリセルの構造は前記実施の形態4で示した前記図15のメモリセルの構造と同じであるが、ロジック部の構造は前記図15のロジック部の構造と異なり、メモリセルの情報蓄積用容量素子のプレート電極PLを構成するTiN膜50でロジック部の第2配線層LM2を構成し、さらに、このTiN膜50の下層に、誘電体膜36を介して情報蓄積用容量素子の蓄積電極SNを構成するW膜49が配置されている。

【0092】すなわち、ロジック部では、半導体基板1の主面上に堆積した第1導電膜(WSi₂膜7および多結晶シリコン膜6)でpチャネル型MISFETQsのゲート電極10およびnチャネル型MISFETのゲート電極(図示せず)を構成し、この第1導電膜の上層に堆積したメモリセルのビット線BLを構成する第3導電膜(W膜47、TiN膜46およびTi膜45)で第1配線層LM1を構成し、この第3導電膜の上層に堆積したメモリセルの情報蓄積用容量素子の蓄積電極SNを構

成する第4導電膜(W膜49)を配置し、この第4導電膜の上層に堆積したメモリセルの情報蓄積用容量素子のプレート電極PLを構成する第5導電膜(TiN膜50)で第2配線層LM2を構成し、この第5導電膜の上層に堆積した第6導電膜(金属膜41)で第3配線層LM3を構成し、この第6導電膜の上層に堆積した第7導電膜(金属膜43)で第4配線層LM4を構成している。

【0093】このように、本実施の形態7によれば、メモリセルの情報蓄積用容量素子の蓄積電極SNを構成するW膜49およびプレート電極PLを構成するTiN膜50をロジック部に配置することによって、DRAM部のメモリセルアレイとロジック部との標高差を緩和させることができ、また、プレート電極PLを構成するTiN膜50をロジック部の第2配線層LM2として用いることができる。さらに、メモリセルのビット線BLを構成するW膜47、TiN膜46およびTi膜45からなる積層膜をロジック部の配線層に用いることにより、導電型に関係なく、ウエル領域およびMISFETの半導体領域にこの配線層を接続することができるので、回路設計の自由度を増すことが可能となる。

【0094】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0095】例えば、前記実施の形態では、DRAM部のメモリセルのビット線を構成する導電膜をロジック部に配置して第1配線層として用いたが、必ずしもロジック部に配置して配線層として用いる必要はない。

【0096】また、前記実施の形態では、情報蓄積用容量素子をビット線の上方に配置するCOB構造のメモリセルの製造方法を説明したが、情報蓄積用容量素子の上方にビット線を配置するメモリセルにも適用可能である。

【0097】また、前記実施の形態1～3では、情報蓄積用容量素子に円筒型の蓄積電極を用いたDRAMのメモリセルおよびその製造方法を説明したが、円筒型に限られるものではなく、例えばフィン型または単純な積み上げ型の蓄積電極を用いたメモリセルにも適用可能である。

【0098】また、前記実施の形態4～7では、情報蓄積用容量素子に単純な積み上げ型の蓄積電極を用いたDRAMのメモリセルおよびその製造方法を説明したが、単純な積み上げ型に限られるものではなく、例えばフィン型または円筒型の蓄積電極を用いたメモリセルにも適用可能である。

【0099】また、前記実施の形態1～3では、情報蓄積用容量素子の誘電体膜に酸化シリコン膜と窒化シリコン膜からなる2層膜を用いたが、これに限るものではない。

10

20

30

40

50

く、酸化タンタル膜、PZT (PbZrTiO_x) 膜などの高誘電体膜、あるいはこれら膜の積層膜を用いてもよい。この場合、高誘電体膜のリーク電流の増加を防ぐために、高誘電体膜を堆積した後の半導体基板に施される熱処理は500℃以下とする必要がある。このため、例えば誘電体膜に酸化タンタル膜を用いた場合は、プレート電極にはCVD法によって堆積される窒化チタン膜を用い、酸化タンタル膜よりも上層に堆積される層間絶縁膜にはプラズマCVD法またはECRCVD法などの500℃以下の低温によって堆積することが可能な絶縁膜を用いる。

【0100】また、前記実施の形態では、DRAM部のメモリセルおよびロジック部ならびにこれらの製造方法を説明したが、ロジック部の説明において示した構造およびその製造方法はDRAM部の周辺回路にも適用可能である。

【0101】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0102】本発明によれば、ロジック混載DRAMにおいて、DRAM部のメモリセルアレイとロジック部との標高差またはDRAM部のメモリセルアレイとDRAM部の周辺回路との標高差をリソグラフィ技術の焦点深度から許容される範囲内とすることが可能となるので、メモリセルの情報蓄積用容量素子を形成した後の製造工程における加工精度を向上することができる。

【0103】また、本発明によれば、ロジック部またはDRAM部の周辺回路で用いられる配線層をメモリセルの情報蓄積用容量素子を製造する工程で形成することができるので、配線工程での工程数が減少し、前記ロジック混載DRAMのスループットを向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図14】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図16】本発明の他の実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の他の実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の他の実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図20】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【図21】本発明の他の実施の形態であるロジック混載DRAMを示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 p型ウエル
- 3 n型ウエル
- 4 フィールド絶縁膜
- 5 ゲート絶縁膜
- 6 多結晶シリコン膜
- 7 タングステンシリサイド膜
- 8 酸化シリコン膜
- 9 窒化シリコン膜
- 10 ゲート電極
- 11 酸化シリコン膜
- 12 p型半導体領域（ソース領域、ドレイン領域）
- 13 サイドウォールスペーサ
- 14 酸化シリコン膜
- 15 BPSC膜
- 16 多結晶シリコン膜
- 17 第1のn型半導体領域

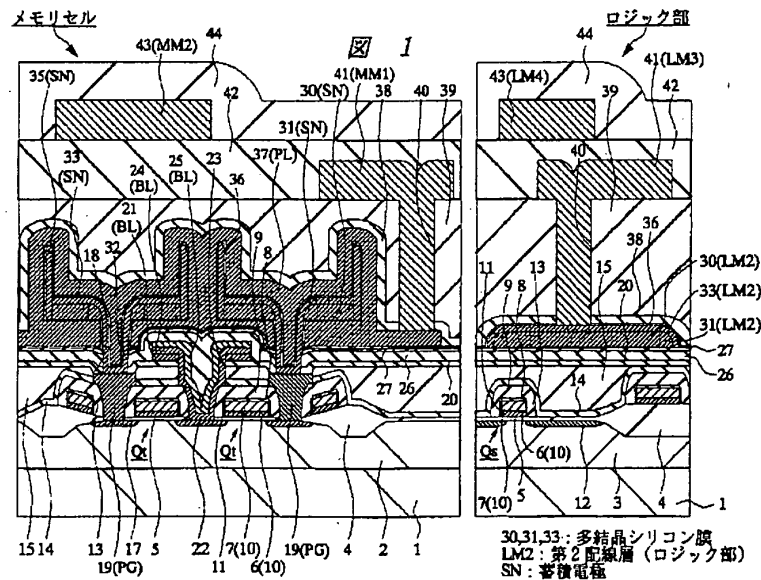
21

- 18 第1のコンタクトホール
- 19 多結晶シリコン膜
- 20 酸化シリコン膜
- 21 多結晶シリコン膜
- 22 第2のn型半導体領域
- 23 第2のコンタクトホール
- 24 多結晶シリコン膜
- 25 タングステンシリサイド膜
- 26 酸化シリコン膜
- 27 窒化シリコン膜
- 28 BPSG膜
- 29 酸化シリコン膜
- 30 多結晶シリコン膜
- 31 多結晶シリコン膜 (サイドウォールスペーサ)
- 32 第3のコンタクトホール
- 33 多結晶シリコン膜
- 34 BPSG膜
- 35 多結晶シリコン膜
- 36 誘電体膜
- 37 多結晶シリコン膜
- 38 酸化シリコン膜
- 39 BPSG膜
- 40 第4のコンタクトホール
- 41 金属膜

22

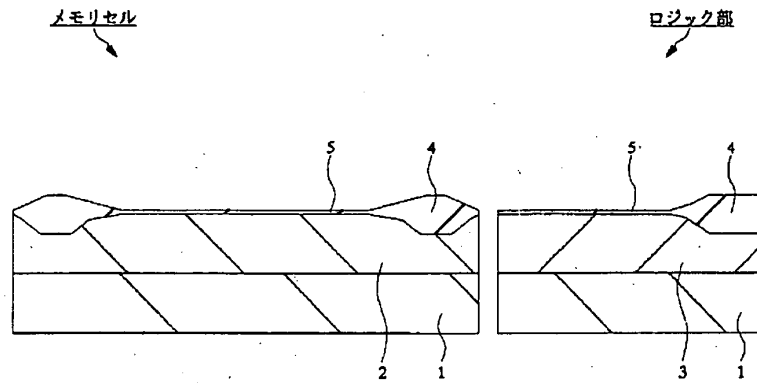
- 42 層間絶縁膜
- 43 金属膜
- 44 パッシベーション膜
- 45 チタン膜
- 46 窒化チタン膜
- 47 タングステン膜
- 48 酸化シリコン膜
- 49 タングステン膜
- 50 窒化チタン膜
- 51 酸化シリコン膜
- 10 Qt メモリセル選択用MISFET (DRAM部のメモリセル)
- Qs pチャネル型MISFET (ロジック部)
- PG プラグ
- BL ビット線
- SN 蓄積電極
- PL プレート電極
- MM1 第1配線層 (DRAM部のメモリセル)
- MM2 第2配線層 (DRAM部のメモリセル)
- 20 LM1 第1配線層 (ロジック部)
- LM2 第2配線層 (ロジック部)
- LM3 第3配線層 (ロジック部)
- LM4 第4配線層 (ロジック部)
- LM5 第5配線層 (ロジック部)

【図1】



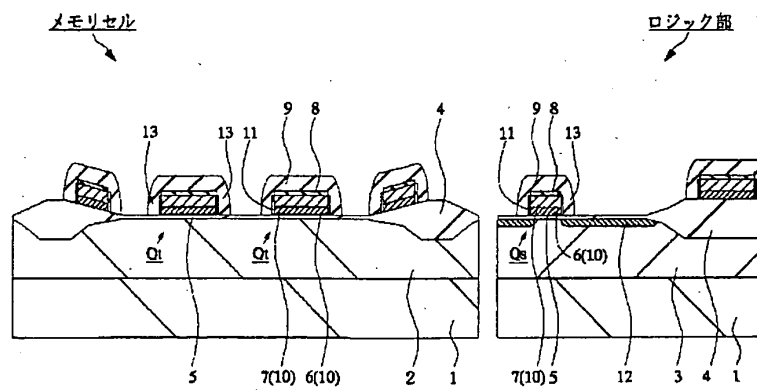
【図2】

図 2



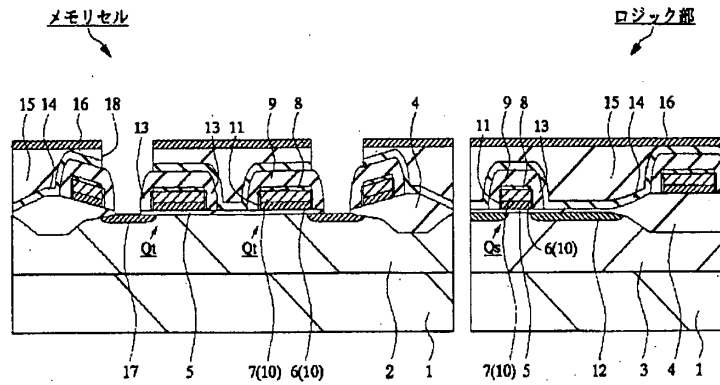
【図3】

図 3



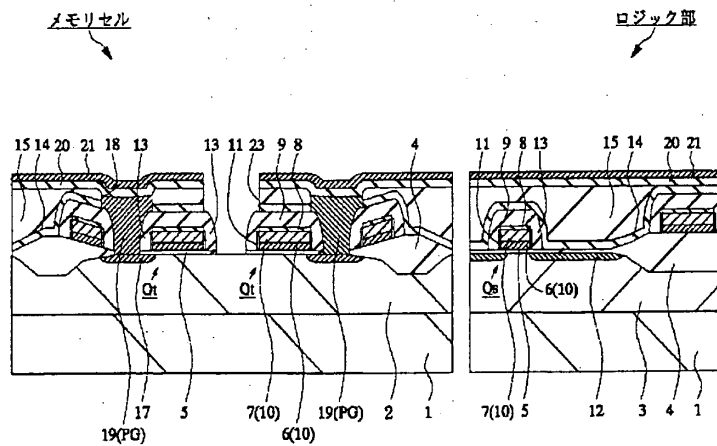
【図 4】

図 4



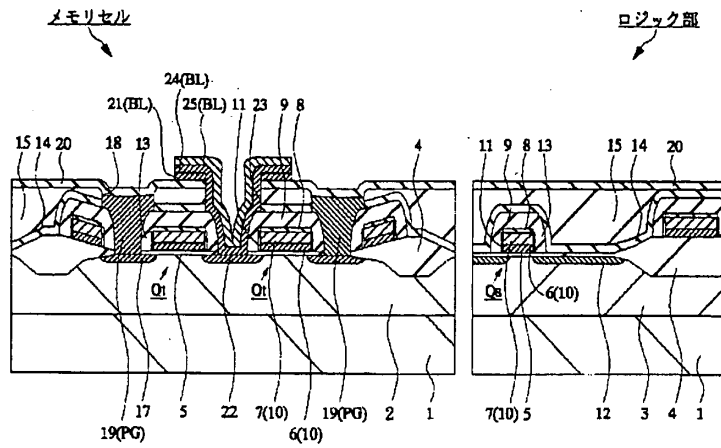
【図 5】

図 5



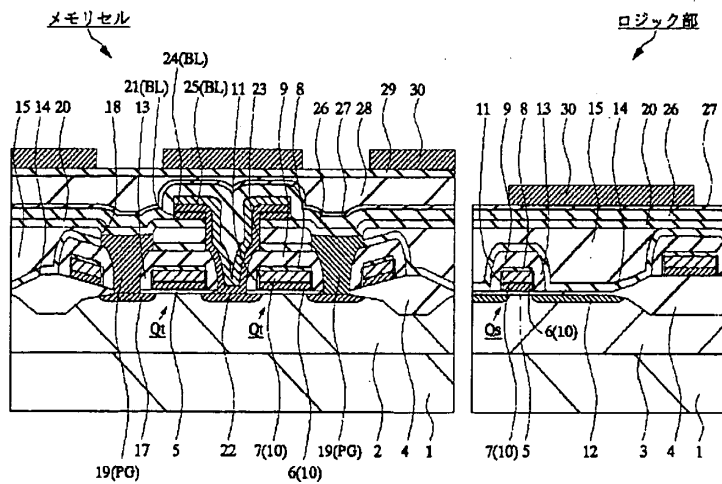
【図 6】

図 6

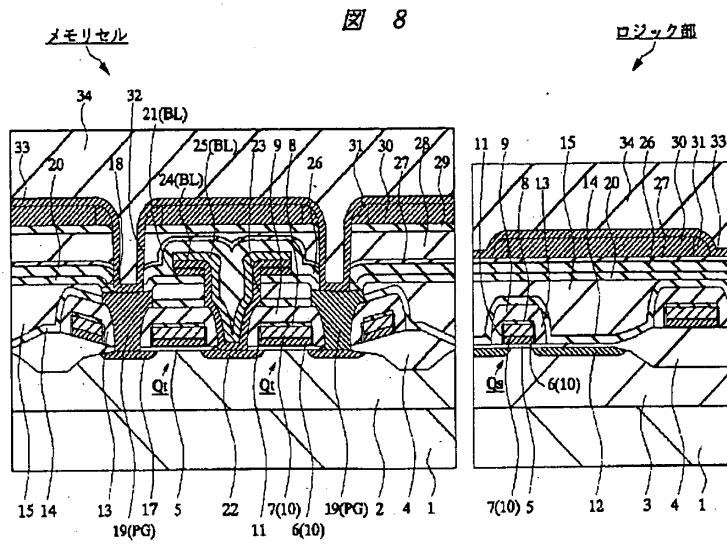


【図 7】

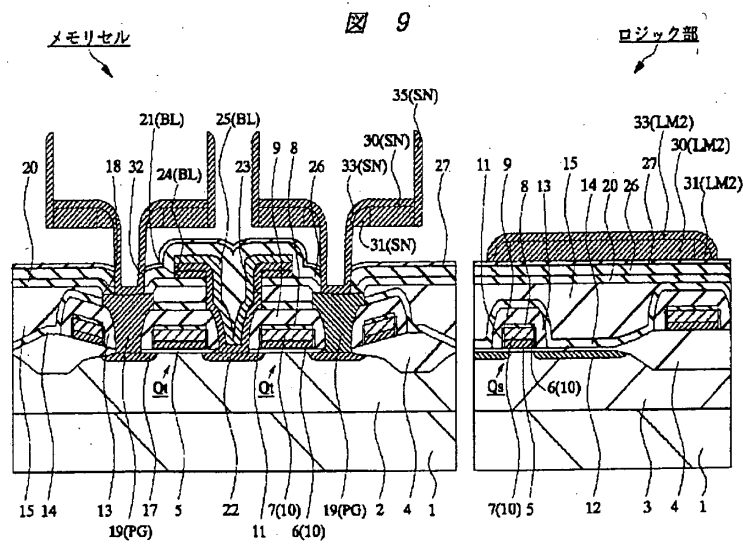
図 7



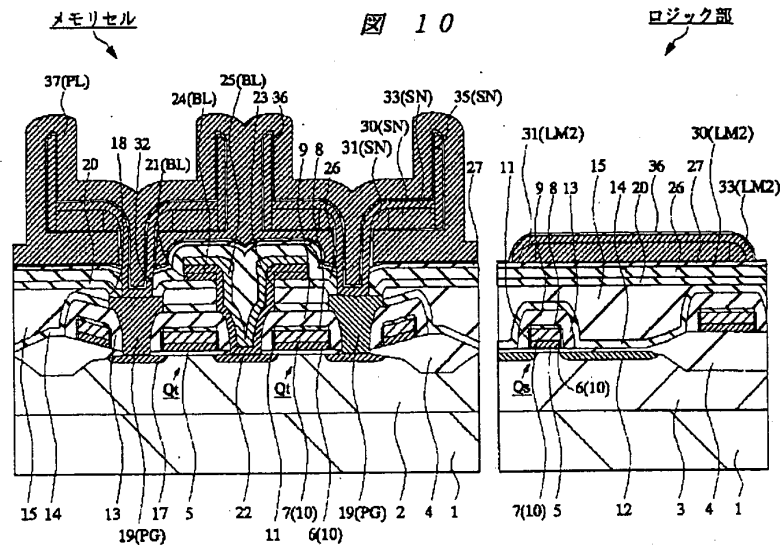
【図 8】



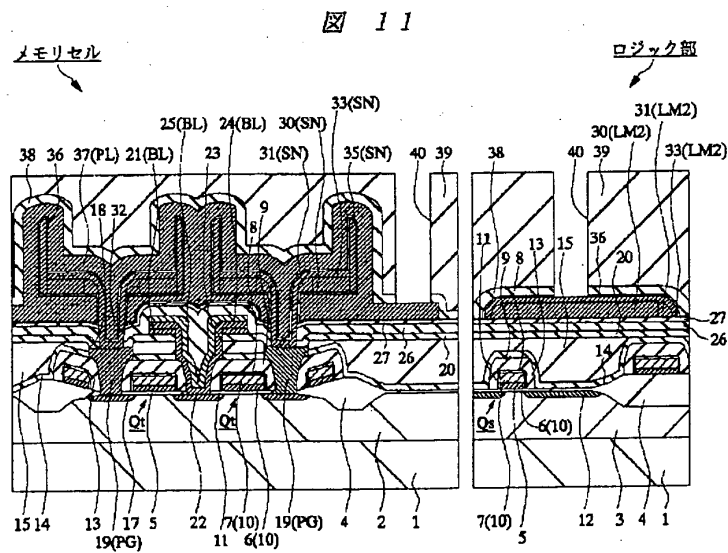
【図 9】



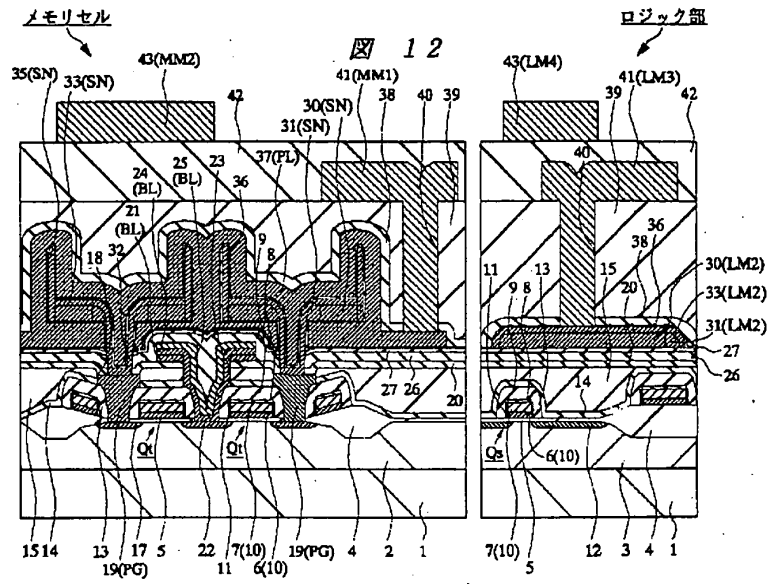
【図 10】



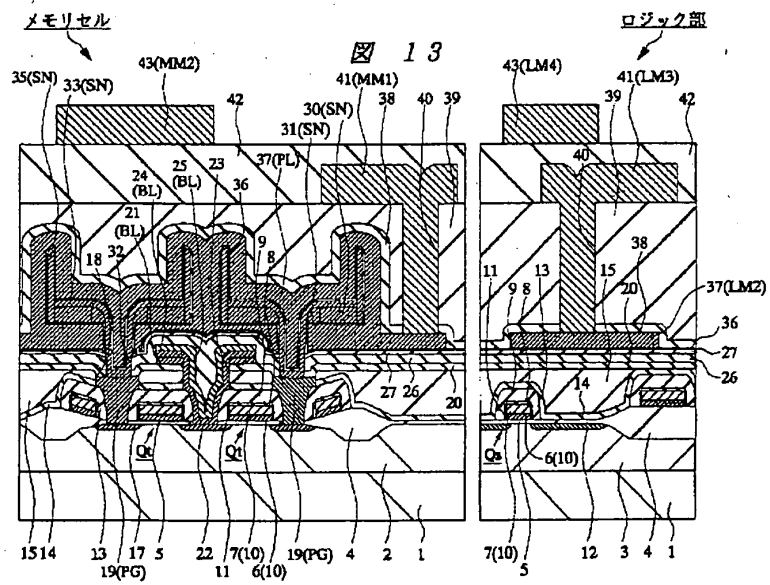
【図 11】



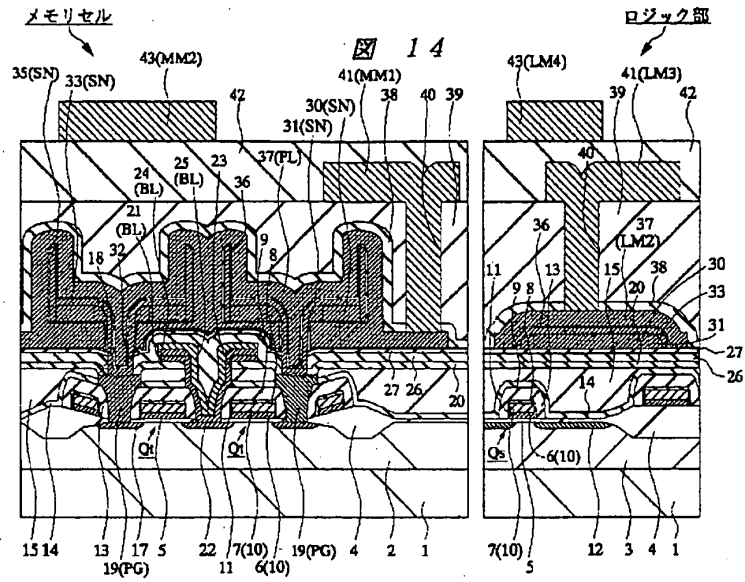
【図 12】



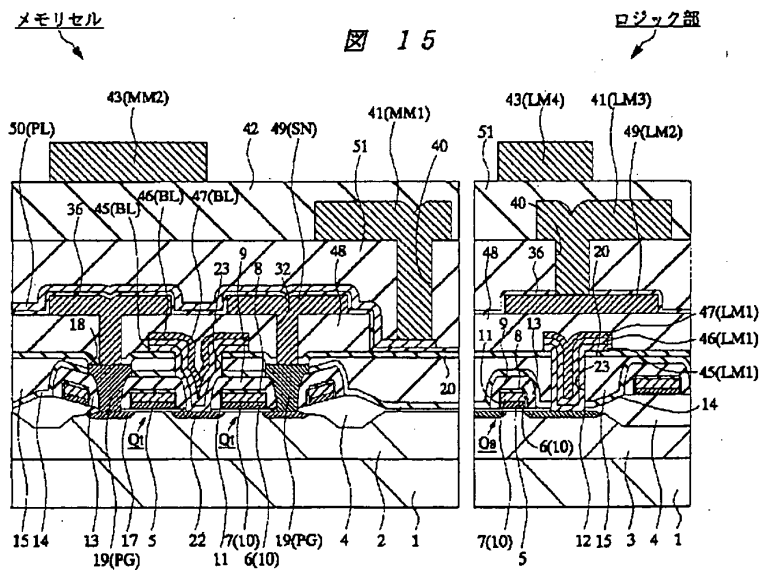
【図 13】



【図 14】

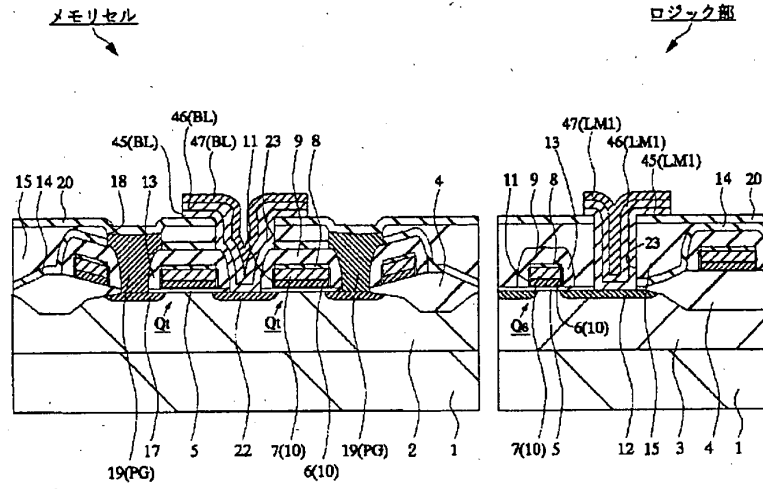


【図 15】



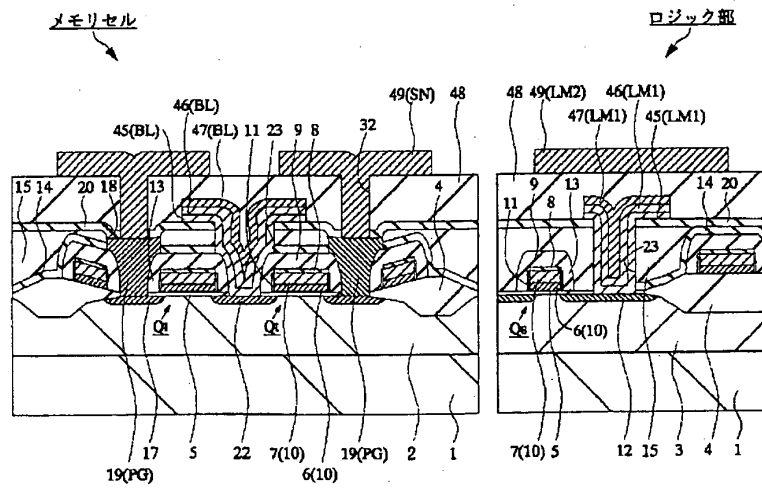
【図 16】

図 16



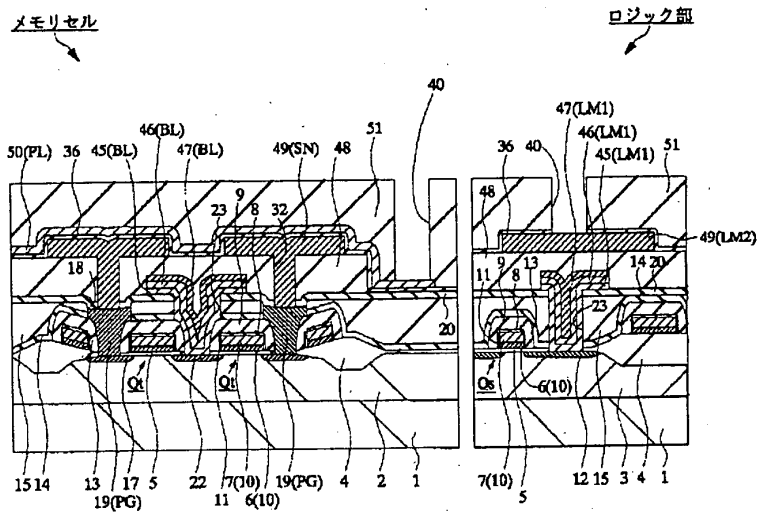
【図 17】

図 17



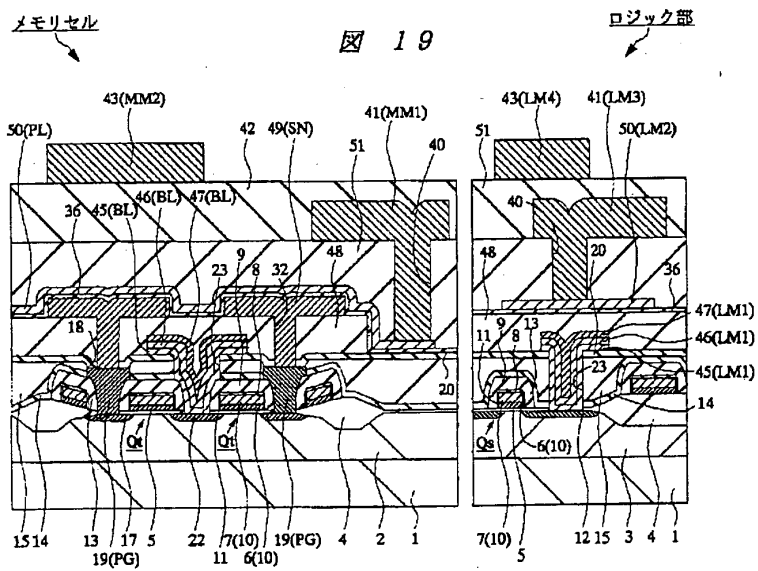
【図 18】

図 18

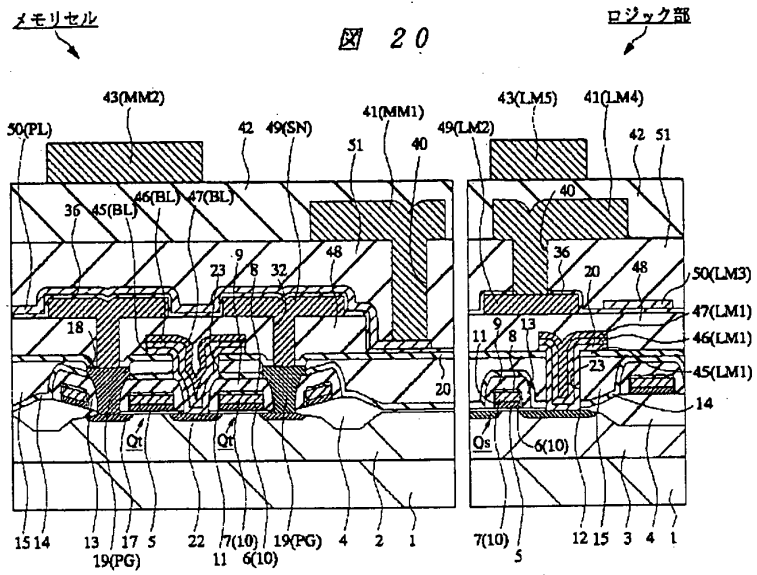


【図 19】

図 19



【図 20】



【図 21】

